

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189278

(P2001-189278A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 G 0 7 7
C 3 0 B 29/40	5 0 2	C 3 0 B 29/40	5 0 2 G 4 M 1 0 4
H 0 1 L 21/283		H 0 1 L 21/283	E 5 F 0 4 5
21/304	6 4 7	21/304	6 4 7 5 F 1 0 2
21/338		29/80	B

審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平11-375608

(22) 出願日 平成11年12月28日 (1999. 12. 28)

(71) 出願人 000224798

同和鉱業株式会社

東京都千代田区丸の内1丁目8番2号

(72) 発明者 坂本 陵

東京都千代田区丸の内1丁目8番2号 同  
和鉱業株式会社内

(72) 発明者 鳥羽 隆一

東京都千代田区丸の内1丁目8番2号 同  
和鉱業株式会社内

(74) 代理人 100082876

弁理士 平山 一幸 (外1名)

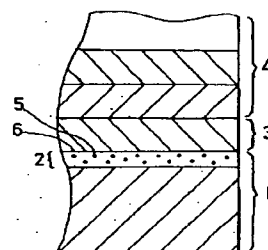
最終頁に続く

(54) 【発明の名称】 表面処理方法及び半導体装置

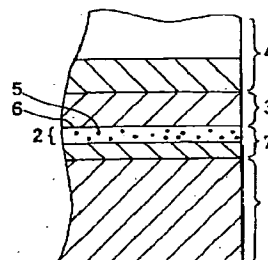
(57) 【要約】

【課題】 Siがドナーとして作用することによるキャリアの蓄積及び表面モフォロジーの悪化による特性劣化のない半導体装置を提供する。

【解決手段】 GaAs基板1又はこのGaAs基板上に形成した第一のGaAsエピタキシャル下地膜7と、この基板1又は下地膜7に形成した第二の又はさらに多数のGaAsエピタキシャル層3及び4を有する半導体装置であって、基板1又は下地膜7の表面に存在するSi及びSi化合物5を、オゾン水で表面処理した後に、第二の又はさらに多数のGaAsエピタキシャル層3及び4を成長させて半導体装置を製造する。



(a)



(b)

## 【特許請求の範囲】

【請求項1】 化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に、次の化合物単結晶膜を形成する際に、

この化合物単結晶膜の形成前に、上記化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在するSiまたはSi化合物を、純水中にオゾンを含溶させたオゾン水によって電気的に不活性化させることを特徴とする表面処理方法。

【請求項2】 化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に、次の化合物単結晶膜を形成する際に、

この化合物単結晶膜の形成前に、上記化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在するSiまたはSi化合物を、純水中にオゾンを含溶させたオゾン水によって電気的に不活性化させ、かつ、この表面のヘイズが50ppm以下であることを特徴とする表面処理方法。

【請求項3】 前記オゾン水中のオゾンの濃度が0.1ppmから30ppmの範囲であることを特徴とする、

【請求項4】 前記化合物半導体基板上に形成した一つ以上の化合物単結晶膜を有する半導体装置であって、上記化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在するSi及びSi化合物を、請求項1、請求項2及び請求項3記載の表面処理方法によって処理した後に、次の化合物単結晶膜を形成したことを特徴とする半導体装置。

【請求項5】 化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面又は界面において、Si及びSi化合物が酸化されることで電気的に不活性化されて実質的なキャリアの蓄積がなく、かつ、表面のヘイズが50ppm以下であることを特徴とする化合物半導体基板又は半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に、MOCVD法又は他のエピタキシャル成長によって化合物の単結晶膜を形成する際に、基板または下地膜の表面に存在するSi及びSi化合物によるキャリアの蓄積を防止する表面処理方法及びこの方法により製造される半導体装置に関する。

## 【0002】

【従来の技術】従来、MESFET (Metal Semiconductor Field Effect Transistor) やHEMT (High Electron Mobility Transistor) などの半導体装置においては、半導体として、例えばGa (ガリウム) 及びAs (ヒ素) を含むGaAs半導体などの化合物半導体が多く用いられている。

【0003】一般に、このような化合物半導体からなる半導体装置は、化合物半導体から成る基板と、この基板上に順次重なるように成膜された一つ以上の単結晶膜と、から構成されている。上記単結晶膜は、MOCVD (Metal Organic Chemical Vapor Deposition) 法などのエピタキシャル成長法によって作られ、この方法で作られた単結晶膜をエピタキシャル層という。

【0004】上述したような半導体装置においては、通常、基板とエピタキシャル層との界面や2つの隣接する再成長エピタキシャル層の界面に、Si (シリコン) 及びSi化合物が存在する。Si及びSi化合物が存在すると、この界面においてSiがドナーとして作用し、キャリアの蓄積が発生する。このようなキャリアの蓄積が発生すると、リーク電流などの原因になり、半導体装置の特性が劣化してしまう。このため、上述したような半導体装置においては、Siがドナーとして作用することによるキャリアの蓄積を防止する必要がある。従来から、Siによるキャリアの蓄積を防止するために、エピタキシャル成長を行う直前に、化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に所定の表面処理を施す方法が採用されている。

【0005】このような基板または下地膜の表面処理方法としては、従来、例えば次のような4つの方法がある。まず、第一の方法は、酸またはアルカリを用いたウェットエッチング処理により、基板又は下地膜の表面に存在するSi又はSi化合物を除去する方法である (文献「Journal of Crystal Growth」91 (1988), pp632-638 H. Kanber et al. 参照)。また、第二の方法としては、特開平5-175150号公報に開示されるように、ハロゲン系ガスをを用いたガスエッチング処理によって、基板の表面または下地膜の表面に存在するSi及びSi化合物を除去する方法である。さらに、第三の方法は、特開平9-320967号公報及び文献「Journal of Crystal Growth」133 (1993), pp123-131 S. Izumiに記載されているように、UV (紫外線) オゾン処理によって基板の表面又は下地膜の表面に酸化膜を形成することにより、Si及びSi化合物を安定な酸化物とし、これらが界面に取り込まれたとしても電気的に不活性にする方法である。これに対して、第四の方法は、メトキシ基を含む有機金属によって基板の表面又は下地膜の表面に酸素を供給することにより、第三の方法と類似した効果により、界面に取り込まれたSi及びSi化合物を酸化させて電気的に不活性化する方法である (特開平10-12553号公報参照)。

## 【0006】

【発明が解決しようとする課題】しかしながら、上述した表面処理方法においては、いずれも以下のような解決すべき課題がある。まず、上記第一の方法では、基板又

は下地膜の表面に存在する Si 及び Si 化合物を除去することは可能であるが、ウェットエッチングにより処理後の表面が荒れてしまって表面モフォロジーが悪化する。また、エッチングに使用する薬液が表面に残留し、基板又は下地膜表面が汚染されてしまう。また、処理装置の構成部品及び薬液中の Si 分からの再汚染の問題があり、この汚染を回避するためには、処理装置及び薬液供給ラインに Si 分を除去する装置を設置する必要がある。さらにまた、装置の構成部品にガラスやシリコンゴム等の Si を含む部品を使用することができないため、

処理装置が複雑な構成となり、コストが高くなってしまふ。

【0007】第二の方法では、ガスエッチング処理用のハロゲン系ガスなどの導入によって、基板の表面又は下地膜の表面が汚染されてしまう。また、この方法では、ガスエッチング処理によって、基板の表面又は下地膜の表面が荒れるので、基板の表面又は下地膜の表面に形成されるエピタキシャル層の表面モフォロジーが悪化してしまう。さらに、この方法では、ガスエッチング処理用のガスを供給するラインを新たに設置しなければならないため、半導体製造装置の構成が複雑になってしまう。

【0008】さらに、第三の方法では、装置構成が比較的簡易であり、かつ、オゾンは自然分解するため特殊な除害設備を必要としないが、UV によるオゾンは、基板上に存在する酸素を UV によりオゾン化させて発生させるため、オゾン濃度が低く、また、Si 及び Si 化合物の不活性化に最適なオゾン量を維持するための酸素量の制御が難しい。また、この方法では、オゾンが、基板表面の微小な凹部に進入し難く、基板表面の微小な凹部に存在する Si 及び Si 化合物が酸化され難いといった問題があり、凹部の Si 及び Si 化合物を完全に酸化するために処理時間を長くすると、凹部以外の部分の酸化が著しく進行してしまう。このため、その上に成長させたエピタキシャル層の表面モフォロジーが悪化してしまう。

【0009】さらに、第四の方法では、第二の方法と同様に、表面処理用（不活性化用）の有機金属ガスなどによって、基板の表面又は下地膜の表面が汚染されてしまう。また、この方法では、第二の方法と同様に、表面処理用のガスを供給するためのラインを新たに設置しなければならないため、半導体製造装置の構成が複雑になってしまう。

【0010】上記のように、従来技術ではいずれも解決すべき課題が残されている。従って、この発明は、上記の点にかんがみ、基板又は下地膜とエピタキシャル層の界面、又はエピタキシャル層と再成長エピタキシャル層の界面に存在する Si 及び Si 化合物の Si がドナーとして作用することによるキャリア蓄積を防止することができると共に、表面モフォロジーが悪化することなく、半導体製造装置の構成を複雑化せずに、かつ、基板の表

面又は下地膜の表面が汚染することが無い表面処理方法、およびこの表面処理方法を使用して、キャリア蓄積及び表面モフォロジーの悪化による特性劣化のない半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明の表面処理方法は、化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に、次の化合物単結晶膜を形成する際に、化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在する Si 及び Si 化合物を、超純水中にオゾンを溶存させたオゾン水によって酸化し、電気的に不活性化することを特徴とする。

【0012】さらに、この表面処理方法は、化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に、次の化合物単結晶膜を形成する際に、化合物単結晶膜又はさらに多数の化合物単結晶膜の形成前に、化合物半導体基板表面又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在する Si または Si 化合物を、純水中にオゾンを溶存させたオゾン水によって電気的に不活性化し、かつ、この表面のヘイズが 50 ppm 以下であることを特徴とする。

【0013】また、この表面処理方法は、オゾン水中のオゾン濃度を 0.1 ppm から 30 ppm に設定することを特徴とする。

【0014】さらに、本発明の半導体装置は、化合物半導体基板上に形成した一つ以上の化合物単結晶膜を有する半導体装置であって、化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在する Si 及び Si 化合物を、上記の表面処理方法によって処理した後に、次の化合物単結晶膜を形成したことを特徴とする。

【0015】さらに、本発明の化合物半導体基板又は半導体装置は、化合物半導体基板又はこの基板上に形成した一つ以上の化合物単結晶膜の表面又は界面において、Si 及び Si 化合物が酸化されることで電気的に不活性化されて実質的なキャリアの蓄積がなく、かつ、表面のヘイズが 50 ppm 以下であることを特徴とする。

【0016】本発明の表面処理方法によれば、基板またはこの基板上に形成した一つ以上の化合物単結晶膜の表面に存在する Si 及び Si 化合物が、オゾン水の酸化作用によって電気的に不活性な Si 酸化物に変化する。これにより、基板とエピタキシャル層の界面、またはエピタキシャル層とエピタキシャル層の界面におけるキャリアの蓄積を防止することができる。

【0017】また、この表面処理方法によれば、表面モフォロジーを悪化させることがなく、表面処理後の基板表面またはこの基板上に形成した一つ以上の化合物単結晶膜の表面はヘイズ 50 ppm 以下の平坦度を保持する。

【0018】また、このオゾン水のオゾン濃度が0.1 ppmから30 ppmの範囲の場合に、最適な効果を有する。

【0019】本発明の半導体装置は、Si及びSi化合物のSiがドナーとして作用することによるキャリア蓄積が無く、表面モフォロジーが悪化しないので、キャリアの蓄積及び表面モフォロジーの悪化による特性劣化が無い。

【0020】さらに、本発明の化合物半導体基板又は半導体装置は、Si及びSi化合物が酸化されることで電氣的に不活性化されて実質的なキャリアの蓄積がなく、かつ、表面のヘイズが50 ppm以下であり、キャリアの蓄積及び表面モフォロジーの悪化による特性劣化が無い。

【0021】

【発明の実施の形態】以下、本発明の請求項、請求項2及び請求項3に記載の表面処理方法に係る実施の形態を詳細に説明する。本発明による一実施形態においては、化合物半導体基板として、GaAs半導体から成るアンダー半絶縁性基板又はこの基板表面に単結晶膜である、GaAs化合物のエピタキシャル層を成長させた下地膜を基板として用いる。

【0022】上記基板上に、MOCVD法を用いたエピタキシャル成長によって、単結晶膜である、GaAs化合物から成るエピタキシャル層を形成する直前に、オゾン水による酸化処理を行う。

【0023】このオゾン水は、オゾンガスを超純水中に0.1 ppmから30 ppmの濃度の範囲のいずれかの濃度で溶存させてある。

【0024】上記基板または下地膜の表面に、このオゾン水を均一に一定時間供給した後、スピンドライ法又は不活性ガスによるブロードライ法によって乾燥する。

【0025】つぎに、上記表面処理の終了した基板をMOCVD装置に装填し、一つ又はさらに多数の単結晶膜である、GaAs化合物から成るエピタキシャル層を形成する。

【0026】つぎに、本発明である請求項1、請求項2及び請求項3の表面処理方法の実施の形態の作用について説明する。このオゾン水による酸化処理では、UVオゾン法よりも高濃度のオゾンを経基板表面に供給することができる。また、オゾン水が基板表面の微小な凹部にも速やかに浸入するため、短時間に基板表面に存在するSi及びSi化合物の酸化処理を行なうことができる。これにより、Siがドナーとして作用することによるキャリアの蓄積がなくなり、かつ、基板表面の凹部以外の部分の著しい酸化を招くことがないので表面モフォロジーが悪化しない。さらに、表面に強固な酸化膜が形成されるため、この酸化膜の保護作用により、この処理以後の製造工程による基板表面の酸化膜の増加も防ぐことができる。

【0027】さらに、この方法は、基板又はこの基板上に一つ以上の単結晶膜を形成した下地膜の表面に、超純水にオゾン溶存させたオゾン水を、均一に、一定時間供給した後、この基板をスピンドライ法、または不活性ガスによるブロードライ法によって乾燥し、MOCVD装置に装填するだけであり、また、オゾン水は自然に分解するため、従来のようなSiの汚染を回避するための処理装置やエッチングガスの供給ラインなどが不要であるから、半導体製造装置の構成が複雑化することがなく、また、基板の表面または下地膜の表面が汚染することがない。

【0028】さらに、このオゾン水のオゾン濃度が、0.1 ppmから30 ppmの濃度範囲にあると、もっとも最適にSi及びSi化合物を酸化することができて好ましい。すなわち、オゾン水中のオゾン濃度が0.1 ppm未満では、オゾンの酸化作用が弱く、Si及びSi化合物を酸化することが困難である。また、オゾン濃度が30 ppmを越えると、溶存しきれないオゾンが気泡となって基板上に付着し、酸化が不均一となる。また、このオゾン水処理装置内のバルブやフィルターに気泡がたまり、装置機能に支障が生ずる可能性があり、好ましくない。

【0029】つぎに、本発明の請求項4及び請求項5に係る半導体装置の実施の形態を図1(a)及び(b)に基づき、実質的に同一又は対応する部材については同一符号を用いて説明する。図1(a)は、化合物半導体基板の表面に化合物単結晶膜又はさらに多数の単結晶膜を形成した構造を有する本発明の半導体装置の構造模式図である。1は半導体アンダー半絶縁性GaAs基板であり、2はこのGaAs基板1の表面を本発明による請求項1、請求項2及び請求項3記載の表面処理方法で処理した表面処理層を表している。この表面処理層2には、オゾン水によって酸化された、Si及びSi化合物5が存在しているが電氣的に不活性な状態であるため、Si及びSi化合物がドナーとして作用することによるキャリアの蓄積がなく、リーク電流などの原因にならない。また、この表面処理層2の表面6は上記本発明の表面処理方法で処理しているので、表面モフォロジーが悪化しておらず、ほぼGaAs基板1と同等の平坦度を保っている。すなわち、単結晶膜の成長に有害な基板表面の凹凸が少ないので、この表面にエピタキシャル成長した単結晶膜3は結晶性が良く、単結晶膜3のキャリア移動度などの電氣的特性が悪化することがない。また、凹凸が少ない基板表面にエピタキシャル成長した単結晶膜の表面は、表面モフォロジーが悪化しないので、単結晶膜3の表面も平坦度がよく、さらに多数のエピタキシャル層4を積層しても、これらのエピタキシャル層4のキャリア移動度などの電氣的特性が悪化することがない。

【0030】したがって、基板表面を本発明のオゾン水による表面処理をしてから、次の化合物単結晶膜を形成

する本発明の半導体装置は、Si及びSi化合物がドナーとして作用することによる実質的なキャリアの蓄積がなく、しかも、表面モフォロジーが良いので、キャリアの蓄積及び表面モフォロジーの悪化による特性劣化が無い。なお、上記した実施の形態では、基板を表面処理する例について説明したが、必要に応じて、積層したエピタキシャル層を成長させる際に、本発明による表面処理を施しても同等の効果が得られる。

【0031】図1(b)は、化合物半導体基板表面に形成した化合物単結晶膜である下地膜の表面に、化合物単結晶膜又はさらに多数の単結晶膜を形成した構造を有する本発明の半導体装置の構造模式図である。1は半導体アンドープ半絶縁性GaAs基板であり、7はGaAs基板1の表面に形成した単結晶膜であり、GaAs化合物のエピタキシャル成長層である下地膜である。2は下地膜7を本発明による請求項1及び請求項2記載の表面処理方法で処理した表面処理層を表している。この表面処理層2には、オゾン水によって酸化された、Si及びSi化合物5が存在しているが電氣的に不活性な状態であるため、Si及びSi化合物がドナーとして作用することによるキャリアの蓄積がなく、リーク電流などの原因にならない。また、この表面処理層2の表面6は上記本発明の表面処理方法で処理しているので、表面モフォロジーが悪化しておらず、ほぼGaAs基板1と同等の平坦度を保っている。すなわち、単結晶膜の成長に有害な、基板表面の凹凸が少ないので、この表面にエピタキシャル成長した単結晶膜3は結晶性が良く、単結晶膜3のキャリア移動度などの電氣的特性が悪化することがない。また、凹凸が少ない基板表面にエピタキシャル成長した単結晶膜の表面は、表面モフォロジーが悪化しないので、単結晶膜3の表面も平坦度がよく、さらに多数のエピタキシャル層4を積層しても、これらのエピタキシャル層4のキャリア移動度などの電氣的特性が悪化することがない。

【0032】したがって、本発明のオゾン水による表面処理をしてから、次の化合物単結晶膜を形成する本発明の半導体装置は、Si及びSi化合物がドナーとして作用することによる実質的なキャリアの蓄積がなく、しかも、表面モフォロジーが良いので、キャリアの蓄積及び表面モフォロジーの悪化による特性劣化が無い。なお、上記した実施の形態では、下地膜を表面処理する例について説明したが、必要に応じて、積層したエピタキシャル層に次のエピタキシャル層を成長させる際に、本発明による表面処理を施しても同等の効果が得られる。

【0033】

【実施例】以下、本発明の表面処理方法の実施の効果を、従来の表面処理方法による実施例と比較しながら説明する。なお、以下で説明する本発明の実施例や従来の表面処理方法による比較例は、装置の状態や基板の表面または下地膜の表面の状態等が同じ状態で実施された。

#### 【0034】(1)実施例1

本実施例1の半導体装置の製造工程を以下に示す。最初に、化合物半導体基板の表面にオゾン水による表面処理を施した。基板は、GaAs半導体から成るアンドープ半絶縁性基板を用い、オゾン水による表面処理は下記の条件Aを用いた。ここで、処理時間とは基板表面にオゾン水を供給している時間である。

条件A：オゾン水中の溶存オゾン濃度・・・10ppm  
処理時間・・・1分

そして、この表面処理が終了後、アンドープ半絶縁性基板の上に、MOCVD法を用いたエピタキシャル成長によって、不純物を含まない約5000Åの厚さのGaAsエピタキシャル層（以下、「GaAsバッファ層」という）を形成した。このGaAsバッファ層の形成に用いた原料ガスは、TMG（トリメチルガリウム）及びAsH<sub>3</sub>である。また、この原料ガスを希釈するためのキャリアガスには、H<sub>2</sub>ガスを用いた。

【0035】このGaAsバッファ層の形成後、連続して、MOCVD法を用いたエピタキシャル成長によって、n型不純物をドーブした約1500Åの厚さのGaAsエピタキシャル層（以下、「n-GaAs層」という）を形成した。この不純物濃度は、約 $3 \times 10^{17} \text{ cm}^{-3}$ である。このn-GaAs層の形成には、原料ガス及び希釈するためのキャリアガスに、GaAsバッファ層を形成する場合と同じガスを用い、ドーパントガスとしては、Si<sub>2</sub>H<sub>6</sub>（ジシラン）を用いた。

#### 【0036】(2)実施例2

本実施例2の半導体装置の製造工程を以下に示す。本実施例2の製造条件は、表面処理の処理条件を除いて、実施例1と同じである。すなわち、本実施例では表面処理に下記の条件Bを用いた。この条件Bでは、オゾン水中の溶存オゾン濃度が条件Aと同じで、処理時間は条件Aの5倍となっている。

条件B：オゾン水中の溶存オゾン濃度・・・10ppm  
処理時間・・・5分

#### 【0037】(3)実施例1及び実施例2の比較

上述した二つの実施例1及び2によって製造された二つの半導体装置について、Si（Si化合物に含まれるSiも含む）の濃度と酸素濃度をSIMS (Secondary Ion Mass Spectroscopy) で分析すると共に、キャリア濃度をCV法 (Capacitance Voltage Method) によって評価した。

【0038】図2及び図3は、それぞれ実施例1及び2におけるSi濃度と酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。これらの図において、横軸は、半導体装置の表面（n-GaAs層の表面）からの深さ（Å）を示し、左側の縦軸は、Si濃度と酸素濃度（atoms/cm<sup>3</sup>）を示し、右側の縦軸は、キャリア濃度（個/cm<sup>3</sup>）を示す。また、特性曲線C1及びC2はそれぞれ実施例1及び2のSi濃度の分

析結果、C12及びC22はそれぞれ実施例1及び2の酸素濃度の分析結果を示し、特性曲線C13及びC23はそれぞれ実施例1及び2のキャリア濃度の評価結果(CVプロファイル)を示す。

【0039】図2及び図3に示すように、SIMS測定結果から、アンドープ半絶縁性基板とGaAsバッファ層との界面に、Si及びSi化合物が多く存在しており、同時に酸素も多く存在していることがわかる。一方、CV測定結果から、界面にキャリアの蓄積が無いことがわかる。これによって基板上に存在していたSi及びSi化合物がオゾン水によって酸化され、電氣的に不活性化されていることがわかる。また、実施例1(図2)と実施例2(図3)の酸素濃度分布の比較から、オゾン水による処理時間を増やしても酸化膜の厚さがほとんど増加しないことがわかる。

#### 【0040】(4) 比較例1

本比較例1の半導体装置の製造工程は、Siがドナーとして作用することによるキャリアの蓄積を防止するための表面処理方法を除いて、実施例1及び2と同じである。すなわち、本比較例1では、Siがドナーとして作用することによるキャリアの蓄積を防止するための表面処理方法として、前述した従来の第三の方法(UVオゾン処理法)を用いた。この場合、処理条件としては、次の条件Cを用いた。

条件C: UVオゾン処理時間・・・20分

#### 【0041】(5) 比較例2

本比較例2の半導体装置の製造工程は、Siがドナーとして作用することによるキャリアの蓄積を防止するための表面処理方法を除いて、比較例1と同じである。この場合、処理条件としては、次の条件Dを用いた。

条件D: UVオゾン処理時間・・・10分

#### 【0042】(6) 比較例3

比較例3の半導体装置の製造工程は、Siがドナーとして作用することによるキャリアの蓄積を防止するための表面処理方法を除いて、実施例1及び2と同じである。すなわち、本比較例3では、オゾンによる基板表面のSi又はSi化合物の不活性化の効果を確認するため、表面処理をなにも施さない基板を用いた。

【0043】(7) 比較例1から3と、実施例1から2との比較

比較例1から3におけるSi濃度、酸素濃度、及びキャリア濃度を、実施例1から2と同じ方法で分析、評価した。比較例1から3及び実施例1から2の表面モフォロジーを、レーザ光散乱を利用して測定した。

【0044】図4から図6は、比較例1から3におけるSi濃度と酸素濃度の分析結果と、キャリア濃度の評価結果を示す特性図である。図において、特性曲線C31、C41及びC51はそれぞれ比較例3から5のSi濃度の分析結果を示し、特性曲線C32、C42及びC52はそれぞれ比較例3から5の酸素濃度の分析結果を

示し、特性曲線C33、C43及びC53はそれぞれ比較例3から5のキャリア濃度の評価結果を示す。

【0045】図4に示すように、比較例1では、アンドープ半絶縁性基板とGaAsバッファ層との界面に、実施例1から2と同様にSi及びSi化合物が多く存在し、酸素も多く存在している。また、界面にキャリアの蓄積が見られない。これによりSiは酸化され不活性化されていることがわかる。

【0046】図5に示すように、比較例2ではアンドープ半絶縁性基板とGaAsバッファ層との界面に、Si及びSi化合物が比較例1と同様に多く存在している。しかしながら、この場合には、CV測定において若干のキャリアの蓄積が見られる。これは、比較例1に比べ処理時間が短いため、Si及びSi化合物が十分に酸化されていないためである。

【0047】図6に示すように、比較例3ではアンドープ半絶縁性基板とGaAsバッファ層との界面にSi及びSi化合物が実施例1から2と同様に多く存在している。しかし、この場合は酸素がほとんど存在していない。さらに、CV測定においてキャリアの蓄積が見られる。したがって、実施例1から2及び比較例1から2と、比較例3との比較から、Siがドナーとして作用することによるキャリア蓄積の防止に、オゾンによる酸化処理が有効であることがわかる。

【0048】しかしながら、比較例1から2では、表面処理方法として、UVオゾン処理法が用いられている。そのため、実施例1から2に比較して、図4及び図5に示すように界面の酸素濃度が非常に高くなっている。

【0049】また、比較例1から2では、表面モフォロジーが悪化している。図7は、実施例1から2と比較例1から3におけるヘイズ(ppm)の測定結果を示す図である。このヘイズの測定にはテンコール社の商品名「Surfscan6200」を使用した。図6に示すように、比較例1から2では半導体装置の表面にヘイズが多く、半導体装置の表面モフォロジーが悪化している。これは、前述のようにUVオゾン処理では、基板表面の酸化膜が著しく厚くなるためである。この値が50ppm以下、さらに好ましくは10ppm以下であると表面の光沢が保たれ、高い商品価値を発揮する。これに対し、実施例1から2ではヘイズが多くなく、本発明の表面処理方法によれば、表面モフォロジーが悪化しないことがわかる。

【0050】以上、本発明の実施形態について詳細に説明したが、本発明は上述したような実施の形態に限定されるものではない。上述した実施形態においては、化合物半導体基板として、GaAs半導体から成るアンドープ半絶縁性基板を用いる場合について説明したが、これに限らず、GaAs化合物以外の化合物から成る半導体、たとえばInP化合物半導体、CdTe化合物半導体から成る基板に対して、本発明による表面処理方法を適用するようにしてもよいことは明らかである。

【0051】また、上述した実施形態においては、下地膜として、GaAs化合物から成るエピタキシャル層を用いる場合について説明したが、GaAs化合物以外の化合物から成る半導体、例えばInP化合物半導体、CdTe化合物半導体から成るエピタキシャル層に対して、本発明による表面処理方法を適用するようにしてもよいことは明らかである。

【0052】さらにまた、上述した実施形態においては、基板または下地膜の表面に形成されるエピタキシャル層として、GaAs化合物から成るエピタキシャル層を用いる場合について説明したが、GaAs化合物以外の化合物から成る半導体、たとえばInP化合物半導体、CdTe化合物半導体から成るエピタキシャル層を用いるようにしてもよい。

【0053】さらにまた、本発明は、MESFET、HEMT以外の半導体装置にも適用することができると共に、その要旨を逸脱しない範囲で種々に変形実施可能なことは勿論である。

【0054】

【発明の効果】以上の説明から理解されるように、本発明表面処理方法によれば、基板又は下地膜とエピタキシャル層の界面、又はエピタキシャル層とエピタキシャル層の界面に存在するSi及びSi化合物のSiがドナーとして作用することによるキャリア蓄積を防止でき、表面モフォロジーが悪化することなく、しかも、半導体製造装置の構成も複雑化せず、かつ、基板の表面または下地膜の表面が汚染することも無い。

【0055】さらに、本発明の半導体装置及び化合物半導体基板によれば、基板または下地膜の表面或いは一つ以上の単結晶膜の表面に存在するSi及びSi化合物が、本発明の表面処理方法で不活性化されているので、Siがドナーとして作用することによるキャリアの蓄積が無く、かつ、表面モフォロジーが悪化しないので、キャリア蓄積及び表面モフォロジーの悪化による特性劣化のない半導体装置及び化合物半導体基板を提供することができる。

【図面の簡単な説明】

【図1】本発明による半導体装置の構成模式断面図であり、(a)は化合物半導体基板を用いて形成したもの、(b)はGaAs化合物のエピタキシャル層を成長させた下地膜を用いて形成したものを示す。

【図2】本発明による表面処理方法の実施例1におけるSi濃度と酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図3】本発明による表面処理方法の実施例2におけるSi濃度と酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図4】表面処理方法の比較例1におけるSi濃度と酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図5】表面処理方法の比較例2におけるSi濃度と酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

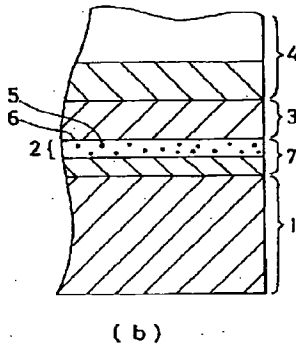
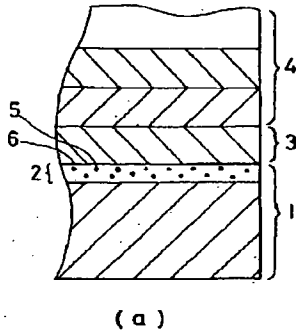
【図6】表面処理方法の比較例3におけるSi濃度と酸素濃度の分析結果とキャリア濃度の評価結果を示す特性図である。

【図7】本発明の実施例1から2と比較例1から3におけるヘイズの測定結果を示す図である。

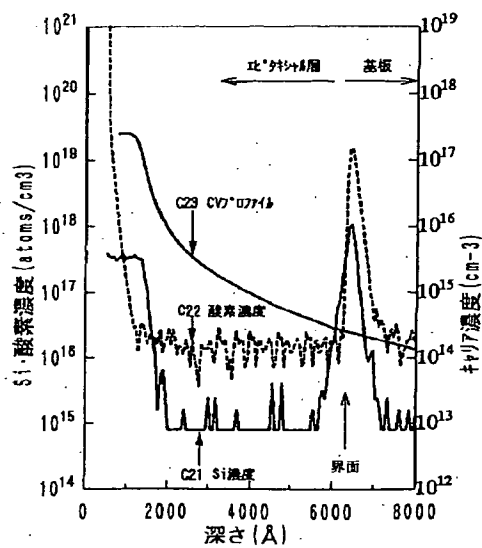
【符号の説明】

- 1 GaAs半導体アンドープ半絶縁性基板
- 2 表面処理層
- 3 GaAs化合物から成るエピタキシャル層
- 4 さらに多数のエピタキシャル層
- 5 電氣的に不活性な状態のSi及びSi化合物
- 6 エピタキシャル層に付着する表面
- 7 GaAs化合物エピタキシャル層を成長した下地膜
- C11 実施例1のSi濃度の分析結果
- C12 実施例1の酸素濃度の分析結果
- C13 実施例1のキャリア濃度の評価結果
- C21 実施例2のSi濃度の分析結果
- C22 実施例2の酸素濃度の分析結果
- C23 実施例2のキャリア濃度の評価結果
- C31 比較例3のSi濃度の分析結果
- C32 比較例3の酸素濃度の分析結果
- C33 比較例3のキャリア濃度の評価結果
- C41 比較例4のSi濃度の分析結果
- C42 比較例4の酸素濃度の分析結果
- C43 比較例4のキャリア濃度の評価結果
- C51 比較例5のSi濃度の分析結果
- C52 比較例5の酸素濃度の分析結果
- C53 比較例5のキャリア濃度の評価結果
- UV 紫外線

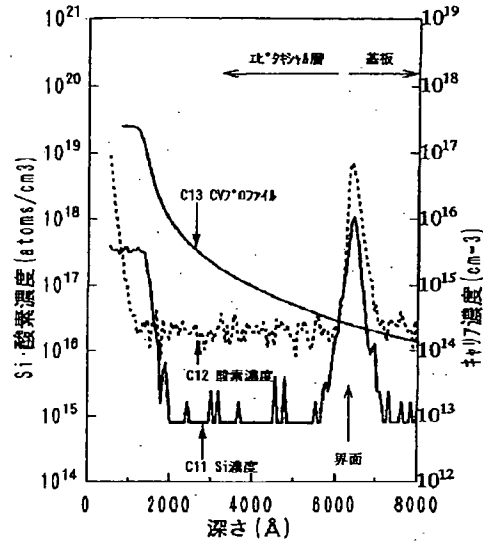
【図1】



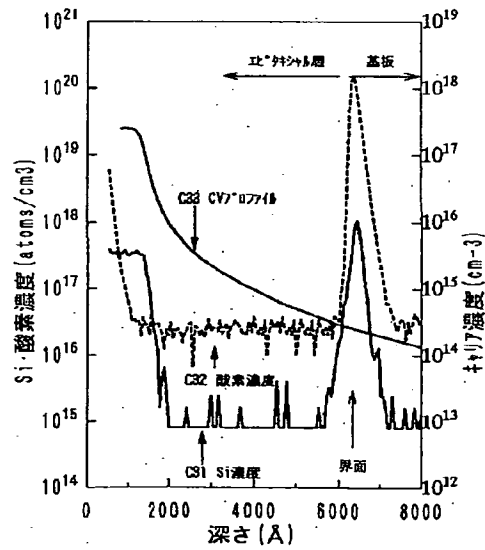
【図3】



【図2】



【図4】



【図7】

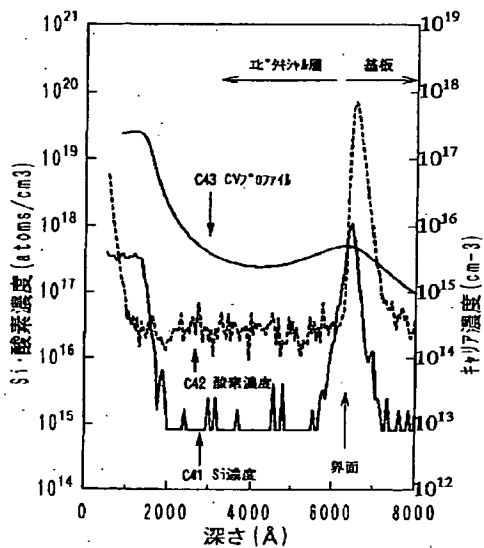
	表面処理	処理条件	ヘイズ(ppm)
実施例1	オゾン水	A	1.19
実施例2	オゾン水	B	1.10
比較例1	UVオゾン	C	545
比較例2	UVオゾン	D	113
比較例3			1.03



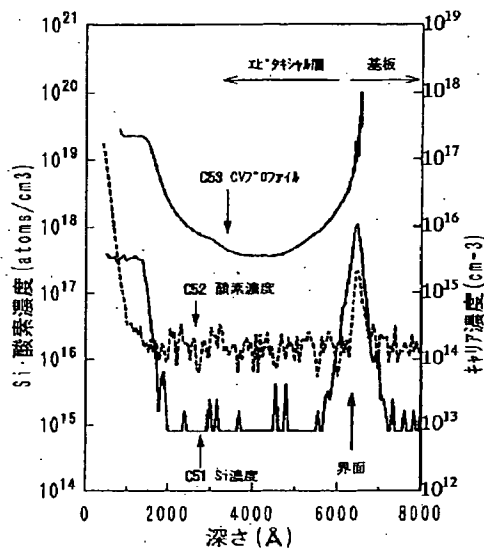
(9)

特開2001-189278

【図5】



【図6】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

H01L 29/812

F I

ターマート (参考)

(72)発明者 池田 弘幸

東京都千代田区丸の内1丁目8番2号 同  
和鉱業株式会社内

F ターム(参考) 4G077 AA03 BE46 DB01

4M104 DD22 HH20

5F045 AA04 AB10 AB12 AB23 AC01

AC08 AF04 AF06 BB14 CA06

CA07 DA52 EB13 HA01 HA11

5F102 FA00 GJ05 HC00 HC01